

戦略的高性能計算システム開発に関するワークショップ  
**5年後のHPC向けプロセッサを考える**  
**-TSVを利用するプロセッサとその課題-**

**石井 康雄**

# 自己紹介

## 石井 康雄

- 所属: NEC HPC事業部
  - ・ 東京大学 情報理工 コンピュータ科学専攻の社会人博士
- 職務: ベクトルプロセッサの開発
- 研究: プロセッサアーキテクチャ
  - ・ 分岐予測、キャッシュメモリ

今日は個人的に感じている話をします。

# 背景

メモリやネットワークの帯域が性能上のボトルネックに

- メモリウォール問題など

しかし、古典的なオフチップバンド幅拡大は限界

- ピン数を増やす
- 1ピンあたりのバンド幅

新しいテクノロジー

- Through-Silicon Via (TSV)
- Silicon Photonics

# Through-Silicon Via(TSV)とは

## シリコン貫通ビアを使う半導体の三次元積層方式



## TSV接続は既存のオフチップ接続と比較して

- 低電力、高バンド幅、低レイテンシ

## プロセッサとメモリを重ねる提案が数多くなされている

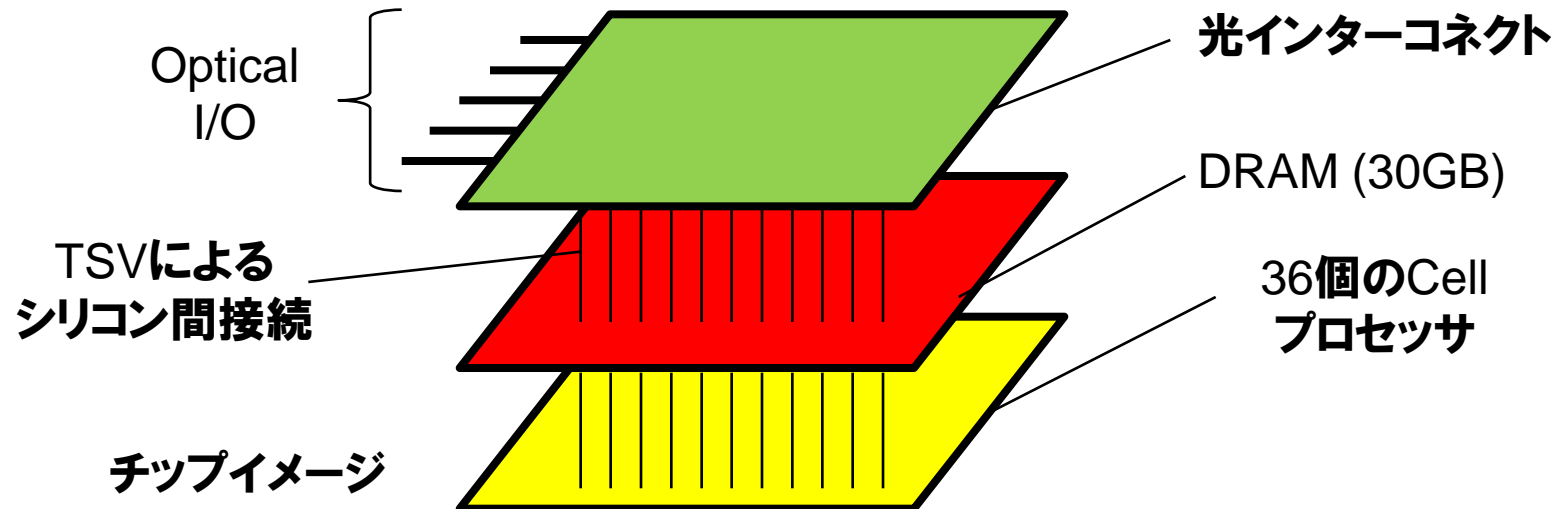
- メモリウォール問題の緩和

# 新しいテクノロジーを利用する計算機の提案例

## IBMの光の関係者のVision @2018 [2009 Offrein]

- [http://www.serec.ethz.ch/eventprog/SEREC\\_Presentation-Offrein-25-JUN-2009.pdf](http://www.serec.ethz.ch/eventprog/SEREC_Presentation-Offrein-25-JUN-2009.pdf)

- プロセス: 22nm
- Peak性能: 10T FLOPS
- I/O性能: 約10TB / sec



# TSVを利用した計算機イメージ(2015年)

プロセス: 22nm~32nm

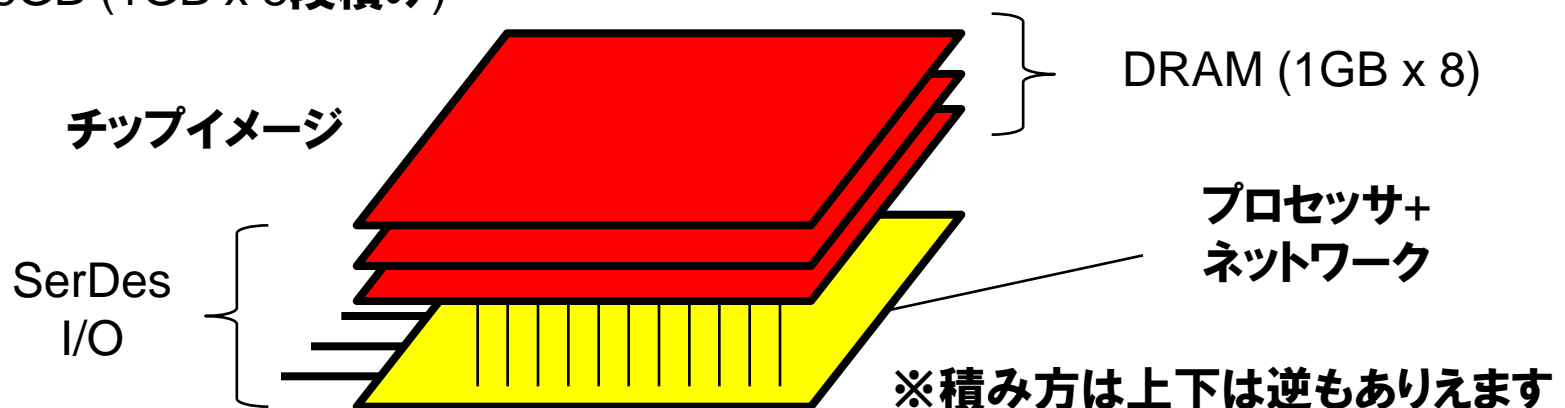
2つのレイヤー

## ● プロセッサ+ネットワーク(数字は適当)

- 演算性能: 250GFLOPS ~ 2000GFLOPS
- メモリバンド幅: 200GB/sec ~ 1000GB/sec
- I/O性能: 20GB/sec ~ 200GB/sec

## ● 主記憶(Embedded DRAM)

- 8GB (1GB x 8段積み)



# 計算機として見た特徴

## 長所

- 高いメモリバンド幅
- 高いI/O性能
- 高い電力性能

## 短所

- 1チップあたりのメモリ容量
  - 8段メモリを積んでもたったの8GB
    - 128MBのeDRAMで 9176um x 7433um @ 22nm [ISCA2010 Wilkerson+]

# まとめ

## 計算機に革新が起きるかも知れない

- キーテクノロジー: TSV、Silicon Photonics

## メモリチップを積層したプロセッサを想像

- 高いメモリバンド幅
- × 少ないメモリ容量

## 課題: メモリ容量をカバーするにはどうするべきか？

- TSVはキャッシュに比べてメモリはオフチップが良い？
- スワップデバイスに不揮発メモリを利用？ [swopp2007 細萱、遠藤、松岡]
- システムソフトウェアで解決可能？ [swopp2007 北村、松葉、石川]



# MEMO

## ■ そもそもTSVは実用化されるのか？

- 技術的に設計は可能
  - 各社が製品化に向けて動いているようですがいつ製品ができるかは不明です
  - 熱密度の問題があるのでモバイル系のデバイスで先に製品化されるかも

## ■ TSVに関して他の問題点はないの？

- 冷却や電源など問題は山積みです(今回は「メモリ容量」に焦点を絞りました)
  - ハードウェア屋さんにとってはもっと大胆にアーキテクチャを変える必要があるかも

## ■ プロセッサは何を使うの？

## ■ インターコネクトはどうするの？

- 未定
  - 関連するベンダ間で協調して設計する必要がありそう

## ■ 性能見積の基準は？

- 演算性能はFermiが500GFLOPS@40nmなので22nmなら4倍で2TFLOPSとしました、下限は16 core x 8演算 x 2GHzのCPU、としました
- I/O性能はPCIe Gen3 x16+αを下限に、上限値を適当に10倍としました

Empowered by Innovation

**NEC**